

설계 지침서

모노리틱 고전압 게이트 드라이버 이용하기

목 차

개 요.....	1
붓 스트랩 회로.....	1
붓 스트랩 커패시터 크기.....	2
붓 스트랩 회로에 관한 고찰.....	4
게이트 저항.....	5
턴-온 게이트 레지스터 크기 결정.....	5
스위칭 시간.....	5
출력 전압 곡선.....	6
턴-오프 게이트 레지스터 크기 결정.....	6
기생 요소들의 효과.....	8
COM 하단 접지 (Vss-COM).....	8
VS 이하의 접지 (Vs-COM/VSS).....	12
Vs 와 Vout 간 레지스터.....	13
Vs 용 클램핑 다이오드.....	14
PCB 레이아웃에 관한 지침.....	15
고전압과 저전압간 차이.....	15
접지면.....	15
게이트 드라이브 룩.....	15
공급 커패시터.....	16
라우팅과 배치 예.....	16

개 요

본 자료는 모터를 이용한 장비 (모노리틱 IC 게이트 드라이버 이용) 내의 하프-브리지 전원상 태 동작과 관련한 가장 보편적인 문제들에 대해 간단히 설명하고 이들을 해결하는데 필요한 방법들을 제안하는데 목적이 있다.

다음 장에서는 붓스트랩 회로, on/off 게이트 레지스터 등 기본 부품들의 크기와 아울러 하프 브리지 기생 요소들과 이들이 미치는 영향 및 가능한 해결 방안들에 대해 소개하고자 한다. 마지막 장에서는 부품 배치와 관련한 사항들을 몇 가지 소개하고 있다.

별도로 제시하는 경우를 제외하고 본 자료에서 제시하고 있는 모든 상황들과 이들에 대한 해결방안들은 부동 붓스트랩 전원을 갖는 전형적인 IR 모노리틱 게이트 드라이버에 적용된다.

붓 스트랩 회로

붓스트랩 전원은 그림 1에서 보는 바와 같이 다이오드와 커패시터 각 하나씩으로 구성된다.

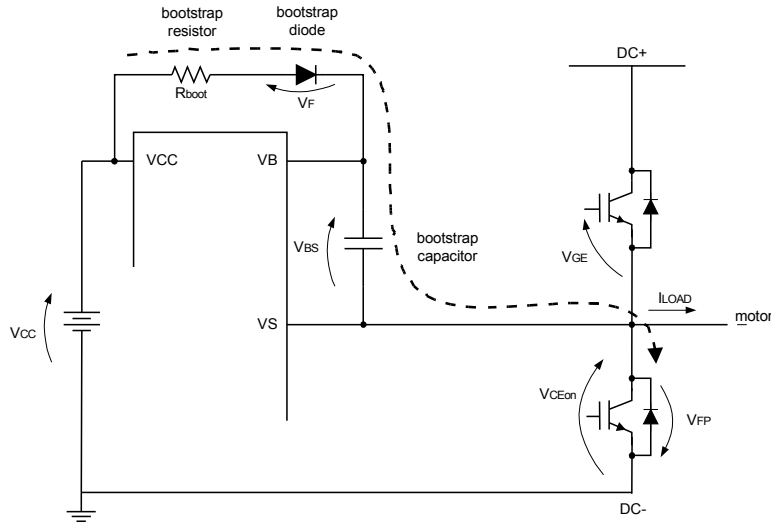


그림 1: 붓스트랩 전원 공급 구조도

이 방법은 간단하고 비용이 저렴하다는 장점을 갖고 있으나 듀티 사이클과 정시성에 부분적인 한계를 가지고 있다. 왜냐하면 붓스트랩 커패시터 내 재충전 시간이 필요하기 때문이다. 적절한 커패시터를 선택해야만 이와 같은 한계를 크게 줄일 수 있다.

붓스트랩 커패시터 크기

붓스트랩 커패시터의 크기를 정하기 위해서는 우선 하이 측 IGBT가 ON 일 때 보장해야만 하는 최소 전압 강하량 (ΔV_{BS})을 정해야 한다.

만약 유지해야 할 최소 게이트 에미터 전압이 V_{GEmin} 이라면, 전압 강하량은 다음과 같아야 한다:

$$\Delta V_{BS} \leq V_{CC} - V_F - V_{GEmin} - V_{CEon}$$

이 조건 하에서:

$$V_{GEmin} > V_{BSUV}$$

여기서, V_{CC} 는 IC 전압공급량이고 V_F 는 붓스트랩 다이오드 전방 전압이며, V_{CEon} 는 로우 측 IGBT의 에미터-콜렉터 전압이며, V_{BSUV} 는 하이 측 과소전압 음값 임계치이다.

이제 V_{BS} 상승에 영향을 미치는 요소들을 고려해 보아야 한다:

- IGBT 는 필요한 게이트 충전(Q_G)을 시작한다;
- IGBT 게이트-전원간 누설 전류 (I_{LK_GE});
- 부동 섹션의 대기전류 (I_{QBS});
- 부동 섹션의 누설전류 (I_{LK});
- 붓스트랩 다이오드 누설 전류 (I_{LK_DIODE});
- ON 상태의 Desat 다이오드 바이어스 (I_{DS});
- 내부 레벨 쉬프터가 필요로하는 충전량 (Q_{LS});
- 붓스트랩 커패시터 누설 전류 (I_{LK_CAP});
- 하이측 온 타임 (T_{HON}).

I_{LK_CAP} 는 전해 다이오드를 사용하는 경우에만 관련되며, 다른 형태의 커패시터를 사용하는 경우에는 무시할 수 있다. 최소한 한 개 이상의 저 ESR 세라믹 커패시터를 사용할 것을 강력하게 추천한다 (전해 커패시터와 저 ESR 세라믹 커패시터를 병렬 연결하면 효율적인 솔루션이 만들어질 수도 있다).

그런 다음:

$$Q_{TOT} = Q_G + Q_{LS} + (I_{LK_GE} + I_{QBS} + I_{LK} + I_{LK_DIODE} + I_{LK_CAP} + I_{DS-}) \cdot T_{HON}$$

붓스트랩 커패시터의 최소 크기는 다음과 같다:

$$C_{BOOT\ min} = \frac{Q_{TOT}}{\Delta V_{BS}}$$

한 가지 예는 다음과 같다:

a) 25A @ 125C IGBT (IRGP30B120KD) 하나와 고전압 하프-브리지 게이트 드라이버(IR2214) 하나를 사용하는 경우:

- $I_{QBS} = 800 \mu A$ (데이터시트 IR2214);
- $I_{LK} = 50 \mu A$ (데이터시트 IR2214);
- $Q_{LS} = 20 \text{ nC}$;
- $Q_G = 160 \text{ nC}$ (데이터시트 IRGP30B120KD);
- $I_{LK_GE} = 100 \text{ nA}$ (데이터시트 IRGP30B120KD);
- $I_{LK_DIODE} = 100 \mu A$ (역 복구 시간이 100ns 미만인 경우);
- $I_{LK_CAP} = 0$ (세라믹 커패시터인 경우는 무시);
- $I_{DS-} = 150 \mu A$ (데이터시트 IR2214);
- $T_{HON} = 100 \mu s$.

그리고:

- $V_{CC} = 15 \text{ V}$
- $V_F = 1 \text{ V}$
- $V_{CEon\ max} = 3.1 \text{ V}$
- $V_{GE\ min} = 10.5 \text{ V}$

최대 전압 강하량 ΔV_{BS} 는 다음과 같다:

$$\Delta V_{BS} \leq V_{CC} - V_F - V_{GE\ min} - V_{CEon} = 15 \text{ V} - 1 \text{ V} - 10.5 \text{ V} - 3.1 \text{ V} = 0.4 \text{ V}$$

붓스트랩 커패시터는 다음과 같다:

$$C_{BOOT} \geq \frac{290 \text{ nC}}{0.4 \text{ V}} = 725 \text{ nF}$$

참고:

1. 여기서, V_{CC} 는 15V로 설정했다. 일부 IGBT 들은 붓스트랩 기법을 이용하여 적절히 동작할 수 있도록 이 보다 높은 전압을 필요로 할 수도 있다. 또한 위의 공식에서 V_{CC} 값의 변경도 고려해야 한다.
2. 이와 같은 형태의 붓스트랩 크기 결정 방법에서는 PWM의 듀티 사이클이나 전류의 기본 주파수 등을 고려하지 않는다. 여기서는 드라이버의 고전압측이 부동하며 IGBT 게이트가 한 번 동작하는데 필요한 충전량만 고려한다.

PWM 듀티사이클과 변조의 종류 (6 단계, 12 단계, 정현파) 등은 최상의 붓스트랩 회로 크기 결정을 위해 반드시 고려해야 한다.

붓스트랩 회로에 관한 고찰

a. 전압 리플

붓스트랩 커패시터 충전 시 서로 다른 3가지 상황들이 발생할 수 있다 (그림 1 참조):

- $I_{LOAD} < 0$; 관련 V_{CEon} 를 나타내는 로우 측 IGBT 내 부하전류 플로우

$$V_{BS} = V_{CC} - V_F - V_{CEon}$$

이 경우 V_{BS} 에 대해 최저값을 갖는다. 이는 붓스트랩 커패시터 크기 결정 시 최악의 경우를 나타낸다. IGBT 를 OFF 한 경우 하이측 프리휠링 다이오드가 바이어스된 채 진행될 때까지 부하전류에 의해 V_s 노드가 푸쉬업된다.

- $I_{LOAD} = 0$; IGBT 가 ON 상태에서는 로딩되지 않으며 V_{CE} 가 무시될 수 있다.

$$V_{BS} = V_{CC} - V_F$$

- $I_{LOAD} > 0$; 프리휠링 다이오드를 통한 부하전류 플로우

$$V_{BS} = V_{CC} - V_F + V_{FP}$$

이 경우 V_{BS} 에 대해 최고값을 갖는다. 하이측 IGBT 를 ON 하면, I_{LOAD} 가 흘러 들어가며 V_s 는 풀-업된다.

과소전압의 위험을 최소화하기 위해서 붓스트랩 커패시터를 $I_{LOAD} < 0$ 인 경우에 준하여 크기 결정해야 한다.

b. 붓스트랩 레지스터

레지스터 (R_{boot})를 붓스트랩 다이오드와 일렬로 배치하여 (그림 1) 붓스트랩 커패시터의 초기 충전이 이루어질 때 전류를 제한한다. 붓스트랩 레지스터 선택은 V_{BS} 시간 상수와 밀접하게 관련된다. 붓스트랩 커패시터에 대한 최소 충전시간 또는 재충전 시간을 이 시간 상수에 준하여 반드시 확인해야 한다.

c. 붓스트랩 커패시터

전해질 탱크 커패시터를 사용하는 하이 T_{HON} 디자인의 경우, ESR 을 반드시 고려해야 한다. 이와 같은 기생 레지스턴스는 전압 디바이더 R_{boot} 를 형성하여 붓스트랩 커패시터의 최초 충전 시 V_{BS} 에 전압 단계를 생성한다. 이 전압 단계와 관련 속도 (dV_{BS}/dt) 를 제한해야 한다. 일반적인 원칙으로 ERS 은 다음 제약조건을 만족해야 한다:

$$\frac{ESR}{ESR + R_{BOOT}} \cdot V_{CC} \leq 3V$$

소형 세라믹과 대형 전해질 커패시터의 병렬 조합이 일반적으로 가장 바람직한 조절방법인데, 이는 게이트 충전을 위한 가장 빠른 충전 탱크 역할을 하며, 등가저항을 줄여 dV_{BS}/dt 를 제한하며, 두번째는 원하는 ΔV_{BS} 내에서 V_{BS} 전압 강하량을 유지해 준다.

d. 붓스트랩 다이오드

이 다이오드는 $BV > DC+$ 와 빠른 복구시간 ($trr < 100$ ns)을 갖도록 하여 붓스트랩 커패시터에서 V_{CC} 공급까지의 충전량을 최소화한다.

게이트 저항

출력 트랜지스터의 스위칭 속도는 게이트 전류의 ON, OFF를 제어하는 레지스터 크기를 적절하게 정하는 방법으로 제어할 수 있다. 다음 절에서는 게이트 드라이버의 등가 출력 저항을 적용함으로써(p와 n 채널의 경우 각각 R_{DRp} , R_{DRn}) 원하는 스위칭 시간과 속도를 구할 수 있도록 레지스터 크기를 정하기 위한 기본 규칙들을 제시하고 있다.

이 예에서는 항상 IGBT 파워 트랜지스터를 사용한다. 그림 2에서는 다음 절에서 사용하고 있는 명명법을 보여주고 있다. 아울러, V_{ge}^* 는 최대전압을 나타내며, Q_{gc} 와 Q_{ge} 는 컬렉터 충전 게이트와 에미터 충전 게이트를 각각 나타낸다.

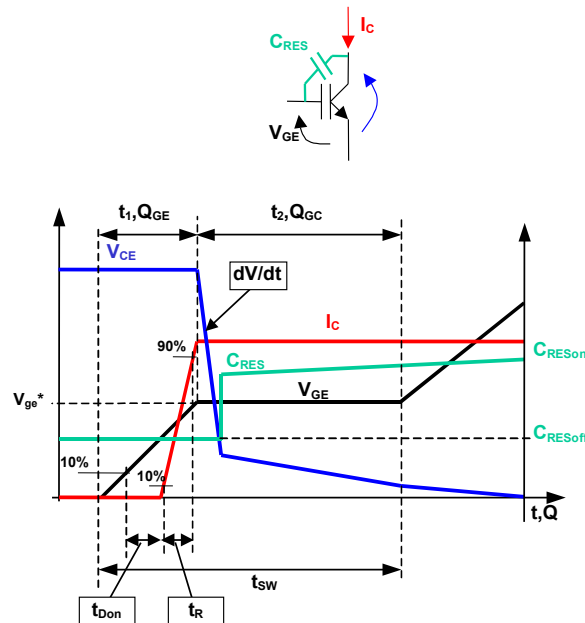


그림 2: 명명법

턴-온 게이트 레지스터 크기 결정

스위칭 시간이나 출력 전압 곡선을 정하기 위해 게이트 저항값을 선택할 수 있다. 그 두 가지 방법은 다음과 같다.

스위칭 시간

본 절에 수록된 계산과 관련하여 스위칭 시간 t_{sw} 은 최고 전압에 도달하기까지 소요된 시간으로 정의된다 (총 $Q_{gc} + Q_{ge}$ 이 IGBT 게이트에 제공됨). 원하는 스위칭 시간 확보를 위해서 게이트 저항값을 Q_{ge} 와 Q_{gc} , V_{cc} , V_{ge}^* (그림 3)에서 시작하여 지정할 수 있다:

$$I_{avg} = \frac{Q_{gc} + Q_{ge}}{t_{sw}}$$

그리고

$$R_{TOT} = \frac{V_{cc} - V_{ge}^*}{I_{avg}}$$

여기서, $R_{TOT} = R_{DRp} + R_{Gon}$, R_{Gon} = 게이트 온-레지스터, R_{DRp} = 저항값에 해당하는 드라이버 (게이트 드라이버 데이터시트 참조).

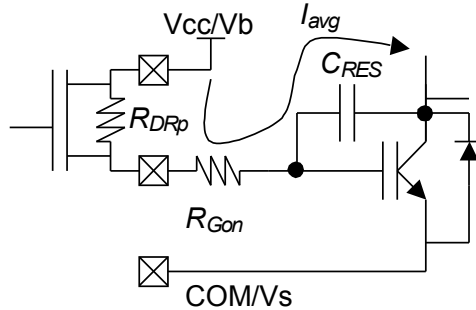


그림 3: R_{Gon} 크기 결정

표 1에서는 공통으로 사용되는 2개의 IGBT에 대한 게이트 저항값의 크기를 제시하고 있다 (일반적인 데이터시트 값을 이용하여 계산함. $V_{cc}=15V$ 가정).

출력 전압 곡선

출력 곡선(dV_{out}/dt) 제어를 위해 턴-온 게이트 레지스터 R_{Gon} 의 크기를 정할 수 있다. 출력 전압은 비-선형성을 나타내지만 최대출력 곡선은 다음으로 표현할 수 있다:

$$\frac{dV_{out}}{dt} = \frac{I_{avg}}{C_{RESoff}}$$

I_{avg} 을 대입하여 다시 쓰면 다음과 같다:

$$R_{TOT} = \frac{V_{cc} - V_{ge}^*}{C_{RESoff} \cdot \frac{dV_{out}}{dt}}$$

예를 들어, 표 2에서는 보편적인 IGBT 두 개와 전형적인 데이터 시트값을 사용하고 $V_{cc}=15V$ 임을 가정할 때 $dV_{out}/dt=5V/ns$ 를 얻기 위한 게이트 저항값 크기 결정 방법을 보여주고 있다.

턴-오프 게이트 레지스터 크기 결정

턴-오프 레지스터 R_{Goff} 의 크기를 정할 때 최악의 경우는 오프 상태의 IGBT 콜렉터가 외부 이벤트에 의해 강제로 방향을 바꾸는 경우이다.

이 경우, 출력 노드의 dV/dt 는 R_{Goff} 와 R_{DRn} (그림 4 참조) 내의 C_{RESoff} 플로우를 통해 기생전류를 발생시킨다¹.

이 게이트에서의 전압 강하가 IGBT의 임계 전압을 초과할 경우 이 장치가 직접 턴-온되어 대규모의 발진과 교차전도를 발생시킬 수 있다.

¹ 이는 게이트 전압이 dV/dt 동안 고정되어있음을 전제로 한다. C_{IES} 가 C_{RES} 보다 두 배 이상 클 경우 그 결과가 합당하다.,

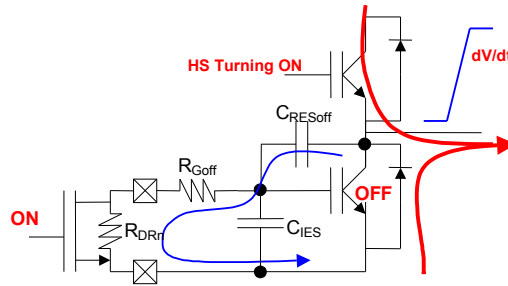


그림 4: R_{Goff} 크기 결정: 로우 측이 오프이고 하이 측이 온일 때의 전류 흐름

지금부터는 IGBT 턴-온으로 인해 출력 dV/dt 가 발생했을 때 턴-오프 레지스터의 크기를 결정하는 방법에 대해 설명하고자 한다 (그림 4 참조).
다른 dV/dt 사례들도 존재할 수 있으므로, 이들을 고려해야 한다. 장거리 모터 케이블 결합 (고주파수 스파이크 발생)으로 인한 dV/dt 를 예로 들 수 있다.
이와 같은 이유로 인해서 오프-저항의 크기를 최악의 경우에 준하여 적절히 결정해야 한다.

다음 등식은 IGBT 게이트 임계 전압과 컬렉터 dV/dt 의 관계를 보여주고 있다:

$$V_{th} \geq (R_{Goff} + R_{DRn}) \cdot I = (R_{Goff} + R_{DRn}) \cdot C_{RESoFF} \frac{dV_{out}}{dt}$$

이 등식을 다시 정리하면 다음과 같다:

$$R_{Goff} \leq \frac{V_{th}}{C_{RESoFF} \cdot \frac{dV}{dt}} - R_{DRn}$$

예를 들어, 표 3에서는 $dV_{out}/dt = 5V/ns$ 를 견뎌내기 위한 2 개의 일반적인 IGBT 에 대한 R_{Goff} 를 보여주고 있다.

참고: 위에서 설명한 등식들은 게이트 저항 크기 결정을 위한 계략적인 방법이다. 보다 정확한 크기 결정을 위해서는 보다 정밀한 장치 모델링과 PCB 에 의존하는 기생 컴포넌트들 및 전원부 배치, 관련 접속 등을 고려해야 한다.
게이트 레지스터의 크기를 정하는 또 다른 방법은 전원 분산 제약조건들을 따르는 것이다. 이 방법은 본 절에서 소개하지 않는다.

표 1: t_{sw} 에 준한 R_{Gon} 크기 결정 ($R_{DRp} = 7 \Omega$ 인 경우)

IGBT	Qge	Qgc	Vge*	tsw	Iavg	Rtot	$R_{Gon} \rightarrow$ std commercial value	Tsw
IRGP30B120K(D)	19nC	82nC	9V	400ns	0.25A	24Ω	RTOT - RDRp = 17 Ω → 18 Ω	→420ns
IRG4PH30K(D)	10nC	20nC	9V	200ns	0.15A	40Ω	RTOT - RDRp = 33 Ω	→200ns

표 2: dV_{out}/dt 에 준한 R_{Gon} 크기 결정 ($R_{DRp} = 7 \Omega$ 인 경우)

IGBT	Qge	Qgc	Vge*	CRESoFF	Rtot	$R_{Gon} \rightarrow$ std commercial value	dV_{out}/dt
IRGP30B120K(D)	19nC	82nC	9V	85pF	14Ω	RTOT - RDRp = 7 Ω → 8.2 Ω	→4.5V/ns
IRG4PH30K(D)	10nc	20nC	9V	14pF	85Ω	RTOT - RDRp = 78 Ω → 82 Ω	→5V/ns

표 3: R_{Goff} 크기 결정

IGBT	Vth(min)	CRESoFF	R_{Goff}
IRGP30B120K(D)	4	85pF	$R_{Goff} \leq 4 \Omega$
IRG4PH30K(D)	3	14pF	$R_{Goff} \leq 35 \Omega$

기생 요소들의 효과

그림 5에서는 단상 모터를 이용한 전원장치와 이에 해당하는 드라이버를 보여주고 있다. 이 드라이버와 전원 장치의 특징들 가운데 일부분을 설명하도록 하겠다.

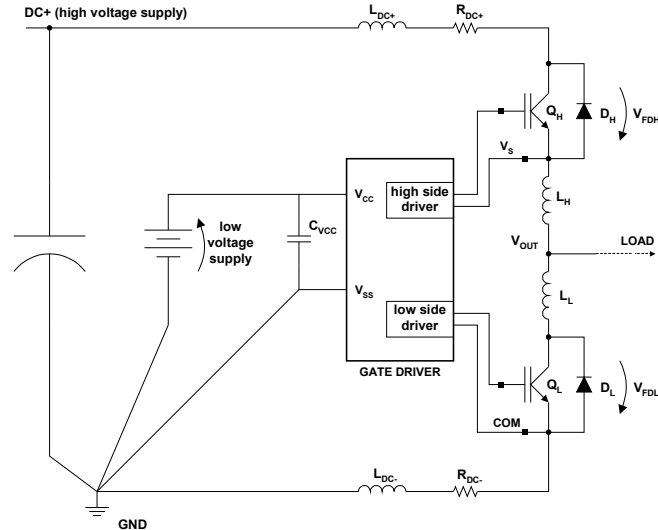


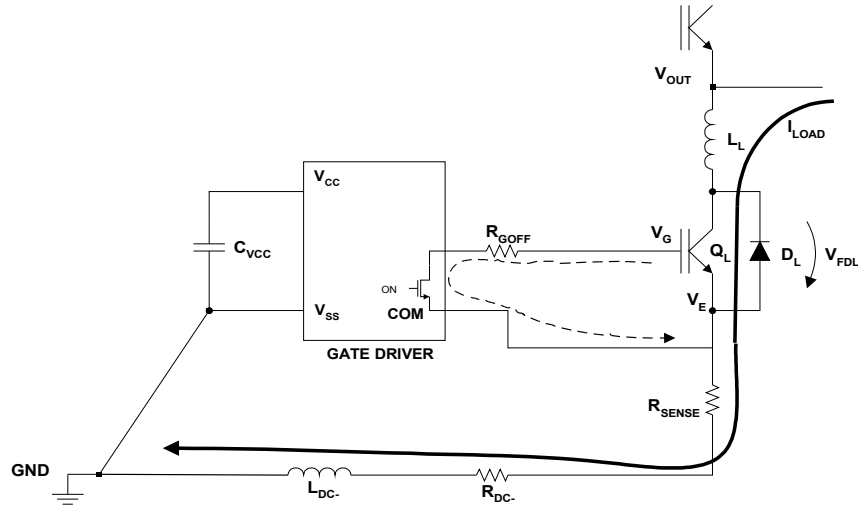
그림 5: 전원 장치 내의 기생 요소들

전원 장치를 제대로 작동시키기 위해서는 유도 기생 요소들의 효과를 이해하는 것이 매우 중요하다. 정상적인 운용 모드에서는 빠른 전류 변화로 인한 빠른 전압 변화가 게이트 드라이버의 성능에 영향을 미칠 수 있다.

동일 접지점과 연결된 고전력 신호와 저전력 신호가 동시에 존재하는 상황 하에서는 보드나 스위칭 부위에 인접한 접지면에 접지류가 발생하지 않도록 하는 것이 중요하다. 이 방법을 통해 드라이버의 로컬 접지와 연결된 노이즈를 줄일 수 있다. 뿐만 아니라, 모든 게이트 트라이버에 대한 접지핀과 보드 접지점을 성형으로 연결하는 것이 바람직하다 (레이아웃 핀 배열 참조).

COM 하단 접지 (Vss-COM)

로우 측 IGBT는 COM 하단 Vss 이벤트를 설명하는 것으로 간주된다. 그림 6에서는 하프-브리지 구성에서 기생 요소들의 구형 형태를 예로 들어 보여주고 있다. (이때, 완벽을 기하기 위



해 에미터 감지 선트를 포함시킨다).

그림 6: 로우 측 턴-오프 시 기생 요소들

부하 전류가 로우 측 IGBT를 통해(진한색 화살표) 부동 중일 때 이 로우 측 IGBT의 턴-오프(점선 화살표)를 고려한다. 전원 장치가 꺼지면, 기생 인덕턴스(L_{DC-})를 흐르는 전류가 급속도로 변화하고 전도된 전압이 COM을 접지점 아래로 떨어뜨린다. 전압 플라이백의 양은 다음 법칙의 지배를 받는다:

$$V_{L_{dc-}} = L_{DC-} \cdot \frac{dI_{L_{DC-}}}{dt}$$

이 등식은 COM 언더샷(인덕턴스 전압과 밀접한 관련)과 부하 전류 곡선을 연관시킨다. 이러한 이유로 인해서, 우선, dI/dt 을 제한하기 위해서 로우 측 턴-오프 레지스터를 늘려(상한값에 관해서는 턴-오프 게이트 레지스터 절 참조) IGBT를 보다 부드럽게 턴-오프하는 방법이 있다.

이 방법은 위상-DC+단락회로가 존재하는 경우에는 충분하지 않다.

이러한 종류의 단락 회로는 로우 측 IGBT를 턴-오프하면서 끊어진다. 단락회로 감지는 전류가 여러 차례에 걸쳐 정격 전류를 초과하여 턴-오프 시 빠른 전류 변경을 초래했을 경우에도 반응할 수 있다.

이 경우 그림 7에서 제시하는 방법을 통해 COM 핀이 과소-Vss 스파이크를 필터링하는 IGBT 에미터를 따라가지 못하도록 한다.

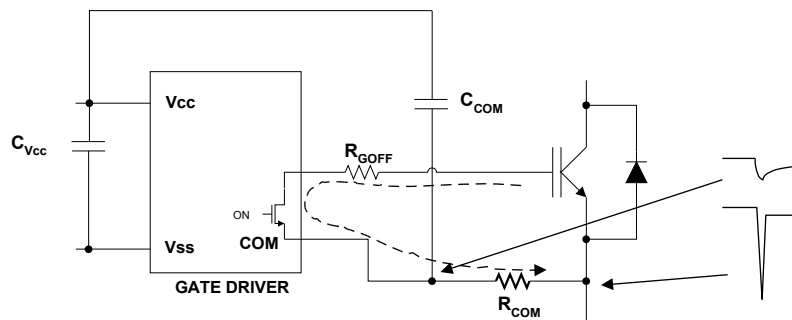


그림 7: C_{COM} 와 R_{COM} 추가

($R_{G\text{OFF}} + R_{\text{COM}}$ 에 해당하는) 턴-오프 저항값의 크기를 결정할 때 R_{COM} 를 고려해야 한다.
 R_{COM} 과 C_{COM} 크기 결정을 통해 수백 ns 로 설정될 수 있는 COM 핀의 시간 상수를 설정한다.

V_{CC} 크기와 관련한 노이즈를 방지하기 위해 $\frac{C_{\text{COM}}}{C_{\text{VCC}}} \ll 1$ 을 적용해야 한다.

참고 : IGBT 단락회로 탈-포화(desaturation)을 통해 하이 컬렉터 dV/dt 를 조기에 발생시킨다.
IGBT 게이트를 게이트-컬렉터 스트레이 커패시턴스를 통해 구내 전원 이상으로 끌어올린다
(pull).

경우에 따라 (주로 턴-온 레지스터가 로우일 때) IGBT 게이트와 구내 전원 사이에 드라이버
출력을 보호하기 위해 고속 다이오드 하나가 필요하다 (그림 8).

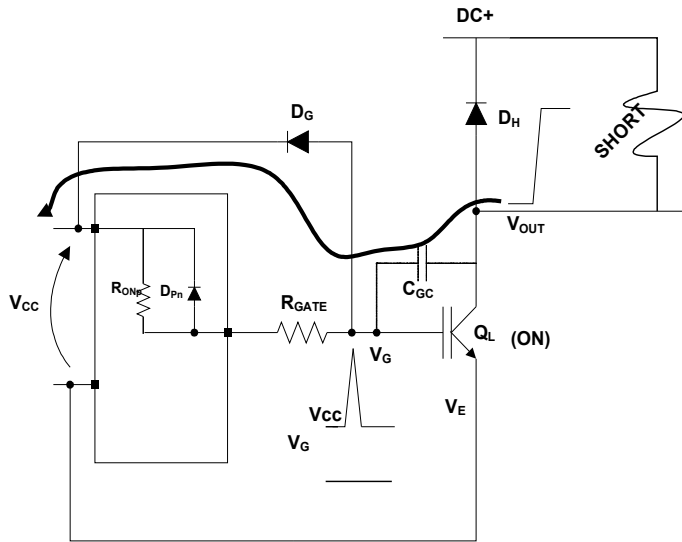


그림 8: IGBT 탈-포화 시 드라이버 출력 보호

또 다른 방법으로 제너 클램프를 IGBT 게이트와 에미터 사이에 배치할 수 있다. 그 크기는 IGBT 게이트-에미터의 절대적 최대 등급에 준하여 정해야 한다.

제너의 장점은 드라이버 출력을 보호하여 컬렉터 dV/dt 가 생성하는 전류를 낮추고 IGBT 게이트-에미터 전압을 통제한다는 점에서 찾을 수 있다.

이 기능은 단락회로 감지 후 IGBT 턴-오프 시 특히 중요하다. 한편 IGBT 에미터는 DC-스트레이 인덕턴스(L_{DC} , 그림 9 참조)로 인해 V_{SS} 이하에서 스파이크를 발생시킨다.

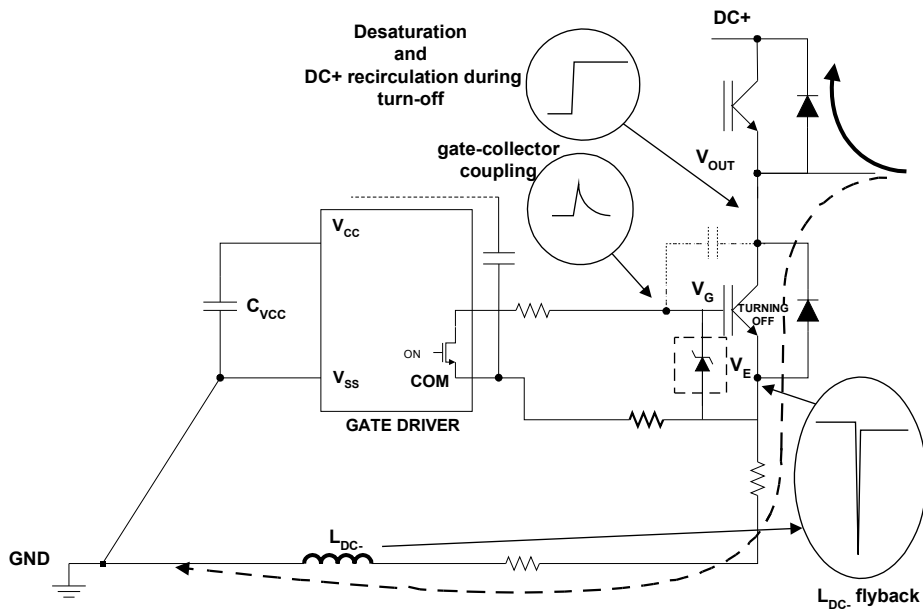


그림 9: IGBT 게이트-에미터를 위한 제너 보호방법

Vs 와 Vout 간 레지스터

위에서 제시한 방법들이 정상 운용 상태에서는 효과를 발휘할 수도 있으나, 예를 들어, 하이 측 IGBT가 ON인 상태에서 위상과 접지간 단락 회로가 발생할 경우에는 충분하지 않을 수 있다. 일단 하이 측 IGBT가 턴-오프되면 이를 통해 흐르는 전류의 상당량이 로우-측 프리휠링 다이오드를 통과하게 된다.

붓스트랩 커패시터를 이용하여 하이 $\frac{dI}{dt}$ 가 VB (부동상태 전위)를 접지 이하로 끌어내릴 수 있다. 다음과 같은 경우에 해당한다:

$$V_S^{tran} - V_{SS} < -V_{CC}$$

붓스트랩 다이오드를 합리적으로 턴-오프시킬 수 있는 고주파수 사태들도 고려하고 있음에 유의한다.

모노리틱 IC에 대한 손상은 VB 핀으로부터 (VS와 연결된 Cboot를 통해) 유실된 전류량으로 인해 발생된다. 이와 같은 전류를 최소화하기 위해서 그림 11에서와 같이 VS와 Vout 사이에 레지스터(Rvs) 하나를 설정할 수 있다.

Rvs의 제안값은 몇 오옴 범위 내에 있다.

참고:

1. Rvs는 붓스트랩 레지스터와 직렬로 동작하며, 붓스트랩 저항의 크기 결정 시 고려해야 한다. ($R_{BOOT}^* = R_{BOOT} + R_{VS}$).
2. 초기 붓스트랩 충전 시 Rvs에서 발생한 전류는 관련 전압이 하이 측 IGBT 에미터와 VS 핀 사이에서 발생하도록 할 수 있음을 감지하는 것이 또한 중요하다. 이 전압은 HO-VS ESD 보호 다이오드를 통해 하이 측 출력 (주로 HO)로 전달될 수 있다. 이 경우 IGBT 게이트가 붓스트랩 기동 시 턴-온되지 않는지 확인한다. (게이트 레지스터와 게이트 에미터 커패시턴스가 이 펄스 제거를 돕는다). 이로 인해 인버터 출력 시 짧은 숏-스루 (shoot-through)가 발생할 수 있다.
3. Rvs는 또한 그림 12에서 보는 바와 같이 레지스터 크기 결정을 턴-온 ($R_{GON} + R_{VS}$) 및 턴-오프 ($R_{GOFF} + R_{VS}$) 하는데 관여한다.

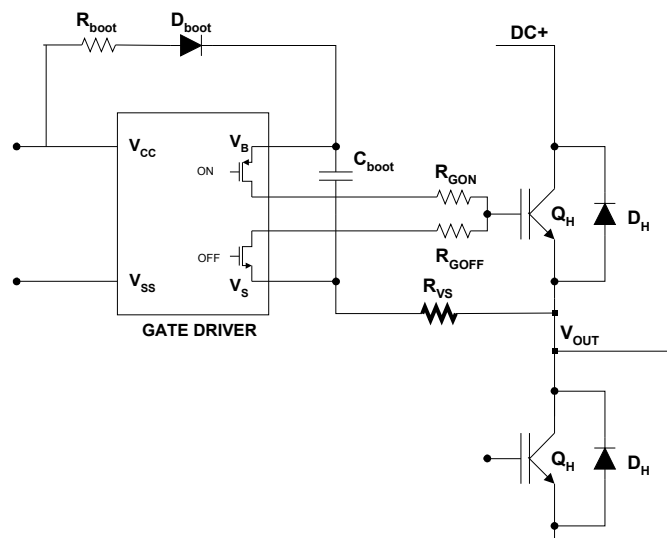


그림 11: Rvs 접속

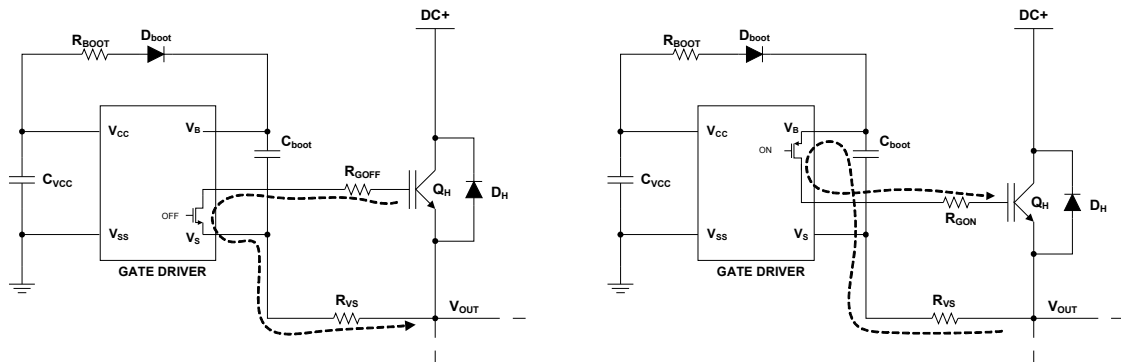


그림 12: R_{VS} 를 통한 게이트 턴-온, 턴-오프

Vs 용 클램핑 다이오드

앞의 절에서는 고 주파수 동작 시 D_{BOOT} 가 스위치 오프 상태를 유지함을 전제로 한다. 이러한 전제가 확인되지 않을 경우에는 V_S 가 V_{OUT} 를 따르며, V_B 는 붓스트랩 다이오드를 통해 V_{CC} 와 연결될 수 있다. 이 경우 V_B 와 V_S 의 차이는 절대최대값 규정 범위 내에 있어야 한다 (IC 데이터시트 참조):

$$V_B - V_S < V_{VBS_abs\ max}$$

규정 범위를 준수하기 위해서는 그림 13 에서 보는 바와 같이 V_{SS} 와 V_S 사이에 클램프 장치를 배치해야 하며, 여기에 제너 다이오드와 600V 다이오드가 각각 하나씩 배치된다.

제너 전압은 다음 원칙에 따라 크기를 정해야 한다:

$$V_Z \leq V_{VB_abs\ max} - V_{CC}$$

대부분의 경우 제너를 반드시 사용할 필요가 없고 대신 HV 다이오드만 사용한다.

장치 데이터시트에 준하여 클램프를 COM 핀과 연결해야 한다 (경우에 따라 V_{SS} 핀과 연결하기도 한다). 이 정보는 절대 최대값 기준 하에서 확인할 수 있다.

Absolute Maximum Ratings

Absolute Maximum Ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to COM. The Thermal Resistance and Power Dissipation ratings are measured under board mounted and still air conditions. Additional information is shown in Figures 28 through 35.

Symbol	Definition	Min.	Max.	Units
V_B	High Side Floating Supply Voltage	-0.3	625	

Absolute Maximum Ratings

Absolute maximum ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to V_{SS} . All currents are defined positive into any lead. The thermal resistance and power dissipation ratings are measured under board mounted and still air conditions.

Symbol	Definition	Min.	Max.	Units
V_S	High side offset voltage	$V_R - 25$	$V_R + 0.3$	

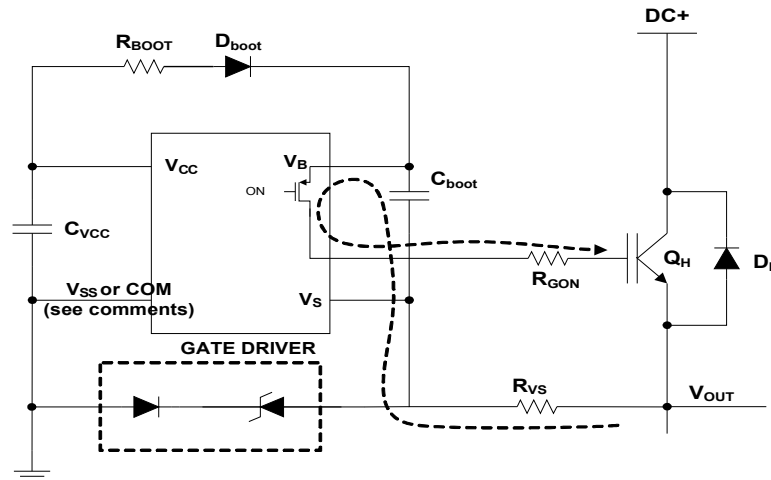


그림 13: 제너다이오드를 이용한 클램핑 구조

PCB 레이아웃에 관한 지침

고전압과 저전압간 차이

접지된 신호들과 부동 신호들 사이의 노이즈를 최소화하기 위해서, 장치의 고전압 측 (V_B , V_S 측)에서는 부품들을 부동 주파수와 연결하며, 다른 부품들은 반대측에 연결하는 것이 바람직하다.

접지면

접지면은 노이즈 커플링을 최소화하기 위해서 고전압 부동측 아래 또는 그 인근에 배치해야 한다.

게이트 드라이브 룩

전류 룩들은 EM 노이즈를 송수신하는 안테나 역할을 한다. EM 커플링을 줄이고 전원 스위치의 턴-온/오프 성능을 높이기 위해서 게이트 드라이브 룩을 가능한 한 줄여야 한다. 그림 14에서는 하이와 로우 측 게이트 룩들을 보여주고 있다.

뿐만 아니라 IGBT 컬렉터-투-게이트 기생 커패시턴스를 통해 게이트 드라이브 룩 내에 전류를 주입할 수 있다. 게이트 룩의 기생 자동 인덕턴스는 게이트 에미터를 통해 전압을 발생시켜 자가 턴-온 효과의 발생 가능성을 높인다. 이와 같은 이유 때문에 게이트 저항들을 가까이 배치하여 룩 영역을 최소화할 것을 강력히 추천하는 것이다 (그림 14).

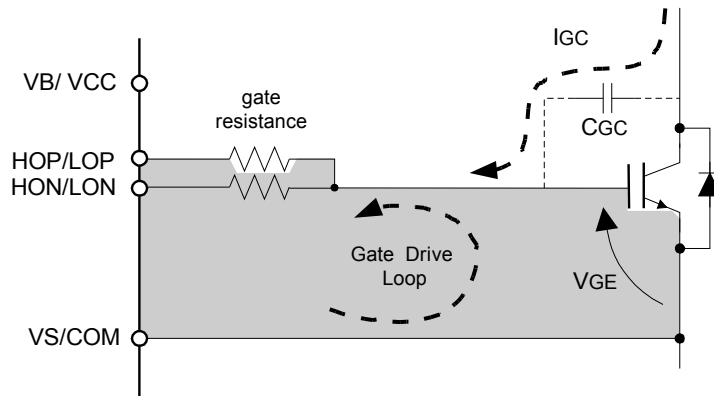


그림 14: 게이트 드라이브 룹

공급 커패시터

출력 스테이지에서 높은 전류값으로 빠르게 IGBT를 턴-온시킬 수 있다면 공급 커패시터를 장치 핀들과 가능한 한 가까이 배치하여 (접지 접속 공급의 경우는 V_{CC} 와 V_{SS} , 부동 공급의 경우는 V_B 와 V_S) 기생 인덕턴스/저항을 최소화해야 한다.

라우팅과 배치 예

예를 들어, IR2214가 고전압, 고출력 전류 게이트 드라이버라고 가정할 경우 리드 배치는 그림 15와 같다.

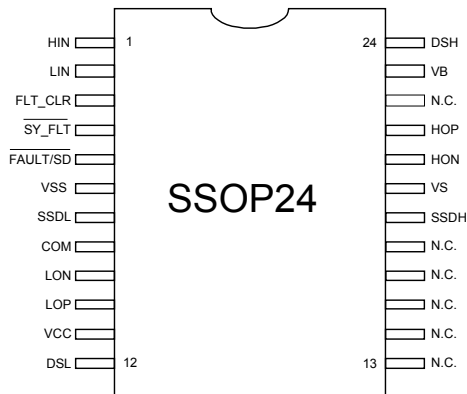


그림 15: IR2214 리드 배열

그림 16에서는 3층 PCB를 사용한 레이아웃 솔루션을 예로 들어 보여주고 있다. 이 예에서는 앞서 언급한 고려사항들을 모두 반영하고 있다. 고전압과 저전압 측의 공급 커패시터와 게이트 저항 배치와 라우팅을 통해 각각 공급 경로와 게이트 드라이브 룹을 최소화한다. 붓스트랩 다이오드를 장치 하단에 배치하여 음극(cathode)이 붓스트랩 커패시터와 최대한 가까이 있게 하고 양극(anode)은 고전압과는 최대한 멀리, V_{CC} 와는 가까이 있게 한다.

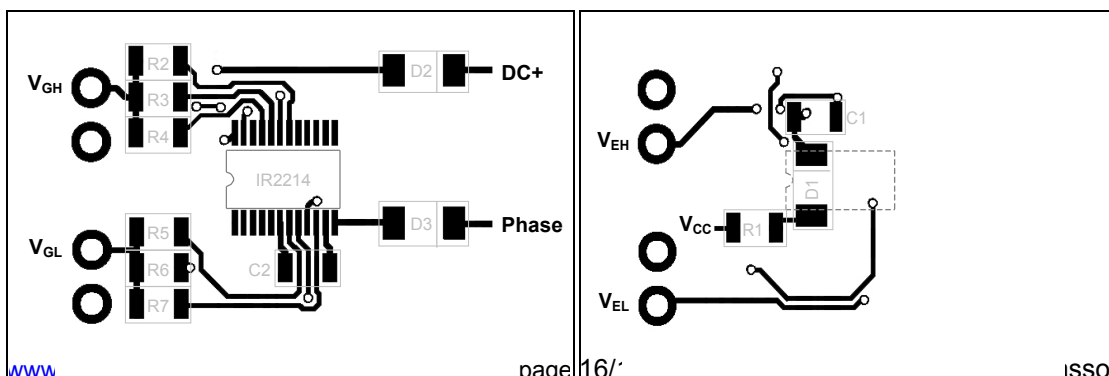


그림 16(a): 상단

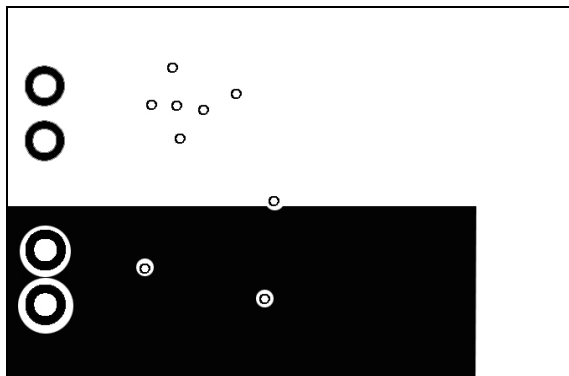


그림 16(b): 하단

그림 16 에서:
붓스트랩 부위: R1, C1, D1
하이 측 게이트: R2, R3, R4
하이 측 Desat: D2
로우 측 공급: C2
로우 측 게이트: R5, R6, R7
로우 측 Desat: D3

그림 16(c): 접지면